

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-322898
(43)Date of publication of application : 24.11.2000

(51)Int.Cl. G11C 29/00
H01L 21/82
H01L 27/04
H01L 21/822

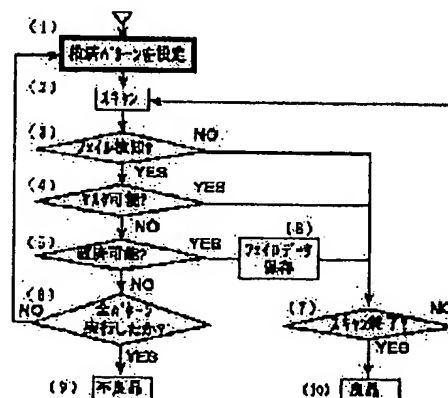
(21)Application number : 11-132651 (71)Applicant : HITACHI LTD
(22)Date of filing : 13.05.1999 (72)Inventor : DONO CHIAKI
MIYAMOTO TAKASHI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a semiconductor integrated circuit device having a memory test function wherein a fail is recovered by a redundant circuit in a simple constitution and moreover, a test operation of a memory circuit is enabled.

SOLUTION: In a memory test circuit loaded to the semiconductor integrated circuit device equal to a memory circuit, a register with an equal number of addresses to the number of redundant circuits is set. When a fail is detected, a fail output is neglected by storing an address of the fail in the register and eliminating the fail address from a test scan, or by the like manner. It is judged that the circuit can be recovered when the test scan finishes with the number of fail detect times in the number of redundant circuits. It is decided that the circuit cannot be recovered when the number of fail detect times is not smaller than the number of redundant circuits in every combination.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-322898
(P2000-322898A)

(43) 公開日 平成12年11月24日 (2000. 11. 24)

(51) Int.Cl.	識別記号	F I	キーワード (参考)
G 1 1 C 29/00	6 5 5	G 1 1 C 29/00	6 5 5 S 5 F 0 3 8
H 0 1 L 21/82		H 0 1 L 21/82	R 5 F 0 6 4
27/04		27/04	T 5 L 1 0 6
21/822			U

審査請求 未請求 請求項の数 3 O L (全 11 頁)

(21) 出願番号	特願平11-132651	(71) 出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22) 出願日	平成11年5月13日 (1999. 5. 13)	(72) 発明者	堂野 千晶 東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内
		(72) 発明者	宮本 崇 東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内
		(74) 代理人	100081938 弁理士 徳若 光政

最終頁に続く

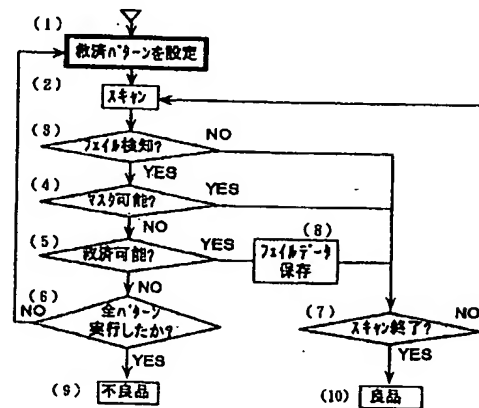
(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 簡単な構成で冗長回路による不良救済を行い、メモリ回路のテスト動作を可能としたメモリテスト機能を備えた半導体集積回路装置を提供する。

【解決手段】 メモリ回路と同じ半導体集積回路装置に搭載されるメモリテスト回路において、冗長回路と同数のアドレスを保持するレジスタを設け、フェイルを検出するとそのアドレスをレジスタに記憶させ、かかる不良アドレスをテストスキャン対象から除外する等してフェイル出力を無視し、フェイル検出数が冗長回路の数以内でテストスキャンが終了すると救済可能とし、上記全ての組み合わせにおいてフェイル検出数が冗長回路の数以上なら救済不能とする。

図1



【特許請求の範囲】

【請求項1】 論理回路と、X系とY系からなる複数の冗長回路を含むメモリ回路及び上記メモリ回路のテストを行うメモリテスト回路と備え、

上記メモリテスト回路は、

上記メモリ回路に含まれる上記X系とY系からなる複数の冗長回路に対応したレジスタと、

上記メモリ回路に対してテスト信号を供給するテスト信号発生回路と、

上記メモリ回路からの上記テスト信号に対応したデータと、その期待値と比較してエラーの判定及びかかるエラーに対応した不良アドレスと上記レジスタの記憶データとを比較して救済の判定を行う判定回路と、

上記判定回路からの判定結果により上記テスト信号発生回路を制御する制御回路とを備え、

上記判定回路は、

上記エラー判定出力に対応した不良が上記レジスタに記憶された不良アドレスに対応した冗長回路の使用によって救済可能ならかかるエラー判定出力を無視し、

上記レジスタに不良アドレスが存在しないかあるいは上記エラー判定出力に対応した不良が上記レジスタに記憶された不良アドレスに対応した冗長回路では救済不可能ならかかるエラー判定出力を出力するとともにエラー判定出力をエラーカウンタで計数し、

上記制御回路は、

上記X系とY系のからなる複数からなる冗長回路の使用順序に従って上記テスト信号発生回路からテスト信号を出力させ、

上記エラーカウンタのエラー計数出力が上記冗長回路の数以下のときにはかかる判定結果を出力させてテスト動作を終了させ、上記エラー計数出力が上記冗長回路の数を超えたときに上記レジスタ及びエラーカウンタをリセットして上記使用順序の組み合わせを変更して再度上記テスト信号の出力とそのエラー計数出力の上記判定を行い、上記X系とY系のからなる複数からなる冗長回路の最後の使用順序の組み合わせにおいても上記エラー計数出力が上記冗長回路の数を超えたときには救済不能の不良出力を出力させることを特徴とする半導体集積回路装置。

【請求項2】 請求項1において、

上記メモリ回路は複数のメモリバンクに対応した複数のメモリ回路からなり、

上記メモリテスト回路は、上記複数のメモリバンクに対して同時に並列的にテスト信号を供給するものであり、上記判定回路は、個々のメモリバンクに対応したメモリ回路に一对一に対応して設けられるものであることを特徴とする半導体集積回路装置。

【請求項3】 請求項2において、

上記メモリテスト回路に対するテストパターンとその期待値の入力動作と、上記救済不能の不良出力を含む判定

出力動作とをシリアルに行うインターフェイス回路が更に設けられることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体集積回路装置に関し、例えばダイナミック型RAM（ランダム・アクセス・メモリ）等のメモリ回路を搭載してなるシステムLSI等のような半導体集積回路装置におけるメモリテスト回路に利用して有効な技術に関するものである。

【0002】

【従来の技術】ダイナミック型RAM等のメモリ回路のテストは、大まかには次のように行われる。メモリ回路が半導体ウェハ上に完成されると、メモリテストと上記メモリ回路とをプローブにより電氣的に接続してプロービング検査が行われ、そこで得られたフェイル情報を上記メモリテスト内のフェイル・メモリに格納する。次に、メモリテスト内のプログラムによってフェイル・メモリをスキャンさせて搭載された冗長回路による救済判定を行う。つまり、限られた数の冗長回路をどのように使用するのが最も効率よく不良を救済できるか上記フェイル・メモリのスキャンによって判定し、救済可能チップ及び救済データ（不良アドレス）をレーザー切断装置に搬送し、かかるレーザー切断装置によりプログラム素子としてのヒューズを切断して不良アドレスを冗長回路に切り替える。

【0003】

【発明が解決しようとする課題】半導体技術の進展に伴い大規模集積回路においては、部品を組み合わせるプリント基板の設計と同じように大規模マクロ（コア）を組み合わせる手法に向かいつつある。デジタル信号処理においてメモリは不可欠であり、特にダイナミック型RAMは、大きな記憶容量が得られるという特徴を持つものであるために、上記のような大規模集積回路では重要な役割を果たすものとなる。このような大規模半導体集積回路にメモリ回路を搭載した場合、上記のようなメモリテストを用いて外部から直接にメモリ回路を動作させると、テスト時と本来の動作時とでテスト信号の伝達経路の相違等の動作条件が大きく異なるために信頼性の高いテストができない。また、複数のマクロに対応したテストにより、その集積回路の機能を試験することからテストコストの増加が問題となっている。

【0004】そこで、メモリテスト回路を搭載することにより、本来の動作時の同じ条件でメモリ回路をリード／ライトできるように信頼性の高いテスト結果を得ることが及びメモリテストを削減することができる。しかしながら、冗長回路を備え、かかる冗長回路を使用した不良救済を行いつつ、上記のようにメモリテストと同様な機能を持つメモリテスト回路を内蔵させると、メモリ回路と同じ記憶容量を持つフェイル・メモリが必要になって、テスト時にのみ使用するメモリテスト回路がテスト

されるメモリ回路の回路規模を超えるような膨大なものとなってしまう現実的ではない。

【0005】従って、本発明の目的は、簡単な構成で冗長回路による不良救済を行いつつメモリ回路のテスト動作を可能としたメモリテスト機能を備えた半導体集積回路装置を提供することにある。本発明の他の目的と特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0006】

【問題を解決するための手段】本願において、開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。すなわち、メモリ回路に設けられる冗長回路はX系とY系に限られ、あるフェイルが救済される組み合わせはX系又はY系の2通りであり、搭載冗長回路の数だけ繰り返すことにより救済される組み合わせは全て決まることに着目し、上記メモリ回路と同じ半導体集積回路装置に搭載されるメモリテスト回路において、冗長回路と同数のアドレスを保持するレジスタを設け、フェイルを検出するとそのアドレスをレジスタに記憶させ、かかる不良アドレスをテストスキャン対象から除外する等してフェイル出力を無視し、フェイル検出数が冗長回路の数以内でテストスキャンが終了すると救済可能とし、上記全ての組み合わせにおいてフェイル検出数が冗長回路の数以上なら救済不能とする。

【0007】

【発明の実施の形態】図1には、この発明に係る半導体集積回路装置における内蔵のメモリ回路のテスト方法を説明するための基本的なフローチャート図が示されている。この実施例では、前記メモリテストのようにフェイル・メモリを用いることなく、冗長回路（予備ワード線、予備ビット線）を使用した不良救済を行いつつ、その良／不良を判定することができるよう工夫されている。

【0008】ステップ（1）では、救済パターンの設定が行われる。この救済パターンの設定は、上記冗長回路の使用順序のことを意味し、例えば図2に示した説明図

（A）のようにX系とY系に2個ずつ（X1、X2及びY1、Y2）の冗長回路を持つメモリに対しては、

（B）に示した説明図のように全部で0～5の6通りの救済パターンのうちの1つが設定される。ちなみに、パターン0はY1、Y2、X1、X2の順序で冗長回路を使用することが決められている。

【0009】メモリ回路に設けられる冗長回路はX系とY系に限られ、あるフェイルが救済される組み合わせはX系又はY系の2通りであり、搭載冗長回路の数だけ繰り返すことにより救済される組み合わせは全て決まる。上記のようにX1、X2、Y1、Y2の2個ずつの冗長回路が存在する場合、その順序の組み合わせは図2

（B）の説明図のように6通りとなる。

【0010】ステップ（2）では、スキャンが行われ

る。つまり、メモリに対してライト動作を行う。この場合、隣接ワード線、隣接ビット線間のカップリング等の影響を考慮したチェッカーパターン、ギャロップパターンといったような公知のテストパターンによりメモリセルが選択され、それにデータの書き込みが行われる。

【0011】ステップ（3）では、上記書き込みデータの読み出しが行われて、期待値と比較されてフェイル（不良）の検知が行われる。ここで、1つの不良が存在しないならステップ（7）でスキャン終了の判定が行われて完全良品の判定が出力される。

【0012】ステップ（4）では、上記ステップ（3）よりフェイルが検知されるとマスク可能かの判定がなされる。つまり、かかる不良はそれ以前に使用された上記冗長回路によって救済できる否かの判定がなされ、救済可能ならステップ（7）に移る。

【0013】ステップ（5）では、上記ステップ（4）でマスク不可能と判定されたときにかかるフェイルを救済可能かを判定する。つまり、未使用の冗長回路が存在するか否かを判定して未使用の冗長回路が存在すると、ステップ（8）においてフェイルデータを保存する。具体的には、上記不良アドレスを上記冗長回路に対応したレジスタに記憶させる。このレジスタに記憶された不良アドレスは、前記ステップ（4）のマスク可能かの情報として用いられる。

【0014】上記ステップ（8）のデータ保存が行われるとステップ（7）においてスキャン終了か否かの判定が行われ、未スキャンのメモリセルが存在するなら前記ステップ（2）に戻り、スキャン終了なら良品の判定がなされ、そのときの不良アドレスと使用する冗長回路とのフェイルデータが出力される。このフェイルデータに基づいて、前記のようなレーザー切断装置等により上記冗長回路に不良アドレスが記憶されて不良救済がなされる。

【0015】ステップ（6）では、上記ステップ（5）で救済不可能と判定されると、全救済パターンを実行したか判定され、残りのパターンが存在するなら、ステップ（1）に戻り、救済パターンを変更し、全救済パターンを実行したなら未救済のメモリセルが存在することとなり、不良品の判定がなされる。

【0016】前記ステップ（4）におけるマスク可能の判定は、スキャン方向と使用した冗長回路が一致したなら省略できる。例えば、ワード線を選択して、ビット線を順次切り替えてメモリセルをスキャンする場合、上記ワード線に接続された1つのメモリセルにおいてフェイルと判定され、それを予備のワード線に置き換える場合には、上記ワード線をスキャン対象から外して、それ以降のビット線選択を省略して次のワード線の選択動作に切り替えるようにするものであってもよい。

【0017】この実施例では、上記のように任意のアドレスでワード線の選択動作をスキップさせるような機能

を付加するとその分メモリスキャン回路及びシーケンス制御が複雑になるため、上記条件でのそれ以降のステップ(3)のフェイル検知出力を上記ステップ(4)でマスクするという簡単なゲート機能を付加するだけでスキヤンのアドレッシングに関わらず同じ効果を得るものである。

【0018】図2において、メモリ回路にX印が示した不良が存在するとき、上記救済パターンとしては0～5の5通りであるが、上記救済パターン0から順次スキヤンを開始し、パターン1により全てのフェイルが救済されて良品OKとされたなら、残りのパターン2～5について検証することは意味がないので、上記良品OKとされた時点でテストは終了する。したがって、図2(B)のように残りのパターン2～5の救済判定結果は理論上のものであり、前記図1のフローチャート図によるテスト方法に従って実際にスキヤンさせた結果と異なる。

【0019】図3には、この発明に係る半導体集積回路装置における内蔵のメモリ回路のテスト方法の救済パターンの1つを説明するための説明図が示されている。同図は、前記X1→X2→Y1→Y2の使用順序でメモリ回路のフェイルの全てが救済される例が示されている。スキヤン開始により黒のxで示した1番目のフェイルが検知されるとX系冗長回路1により、上記フェイルと同じアドレスx1が救済の対象となり、そこに存在する他のフェイルも救済される。つまり、上記x1アドレス上の他のフェイルは前記のマスク可能と判定されるものである。引き続きのスキヤンにより再び黒のxで示した2番目のフェイルが検知されるとX系冗長回路2により、上記フェイルと同じアドレスx2が救済の対象となり、そこに存在する他のフェイルも救済される。

【0020】引き続きのスキヤンにより再び黒のxで示した3番目のフェイルが検知されるとY系冗長回路1により、上記フェイルと同じアドレスy1が救済の対象となるが、同図では他にフェイルは存在しない。引き続きのスキヤンにより再び黒のxで示した4番目のフェイルが検知されるとY系冗長回路2により、上記フェイルと同じアドレスy2が救済の対象となり、そこに存在する他のフェイルも救済される。この結果、上記合わせて4つの冗長回路により全てのフェイルの救済が可能と判定されて、良品OKの判定がなされる。

【0021】図4には、この発明に係る半導体集積回路装置における内蔵のメモリ回路のテスト方法の他の救済パターンを説明するための説明図が示されている。同図は、上記同じフェイルビットを持つメモリ回路において、前記Y1→Y2→X1→X2の使用順序としたときにメモリ回路の全てのフェイルが救済され無い例が示されている。スキヤン開始により黒のxで示した1番目のフェイルが検知されるとY系冗長回路1により、上記フェイルと同じアドレスy1が救済の対象となるが、同図では他にフェイルは存在しない。引き続きのスキヤンに

より再び黒のxで示した2番目のフェイルが検知されるとY系冗長回路2により、上記フェイルと同じアドレスy2が救済の対象となるが、同図では他にフェイルは存在しない。

【0022】引き続きのスキヤンにより再び黒のxで示した3番目のフェイルが検知されるとX系冗長回路1により、上記フェイルと同じアドレスx1が救済の対象となるが、同図では他にフェイルは存在しない。引き続きのスキヤンにより再び黒のxで示した4番目のフェイルが検知されるとX系冗長回路2により、上記フェイルと同じアドレスx2が救済の対象となり、そこに存在する他のフェイルも救済される。この結果、4つの冗長回路を使用しても未だフェイルメモリセルが3個も残ってしまうので、スキヤン終了では不良NGと判定される。

【0023】図5には、この発明に係る半導体集積回路装置に搭載されるメモリテスト回路の一実施例のブロック図が示されている。この実施例のメモリテスト回路mBISTは、特に制限されないが、LSI(大規模集積回路)内蔵のテスト回路用のインターフェイスJTAG(IEEE1149.1規格)に対応されたmBIST/JTAGインターフェイス回路と、レジスタ、パターンメモリ、演算器、出力制御回路、エラーチェック・救済判定回路、シーケンサから構成される。

【0024】上記JTAGを通してシリアルに入力されたテスト信号は、上記mBIST/JTAGインターフェイス回路を通してパターンメモリに記憶される。上記テスト信号に対応した期待値は、エラーチェック・救済判定回路に伝えられる。演算器は、上記レジスタとパターンメモリに格納されたテスト信号を用いてアドレス信号と書き込みデータを生成し、出力回路を制御して複数からなるメモリ回路1ないしnに対して同時に書き込み動作と、読み出し動作を行わせる。

【0025】メモリ回路1ないしnから読み出されたデータは、それぞれに対応したエラーチェック・救済判定回路に伝えられ、上記期待値との比較により良/不良のエラーチェックを行う。このエラーチェック・救済判定回路には、後述するようにフェイル・レジスタを備えており、上記エラーチェックの結果から前記図1のステップ(5)で救済可能と判定されると、それに対応した不良アドレス等のフェイルデータを記憶する。

【0026】エラーチェック救済判定回路の救済判定機能は、基本的には前記図1のようなフローチャートに従ったテスト動作を行うものである。この実施例のように、複数個のメモリ回路1ないしnを同時並列的にテスト動作を行わせる場合、メモリ回路1が図3の救済パターンで良品と判定されたならかかるメモリ回路1に対するテスト動作は必要ない。しかし、他のメモリ回路2～nで救済が行われないなら救済パターンを変更して前記のようなスキヤン動作が継続して行われる。このとき、上記メモリ回路1のエラーチェック・判定回路は、その

動作が停止されて上記図3の救済パターンのように良品と判定された救済パターンでのフェイルデータを保存している。

【0027】図6には、上記メモリ回路の一実施例の構成図が示されている。この実施例におけるDRAMモジュールは、512Kビット/バンクで構成され、4～16バンクまで(2～8Mビット)追加拡張可能なモジュールである。このDRAMモジュールの救済方式は、モジュール内全バンク同時切り替えで、X系、Y系各2セットの冗長線を有する。メモリ構成は、1バンク当たり2048ワード線×256ビットの512Kビットの記憶容量を持ち、それが最大で16個搭載されることにより、上記のように最大8Mビットの記憶容量とされる。

【0028】X冗長は、冗長線数が128本あり、セット数としては2セットを有する。そして、4本のワード線を一括して冗長ワード線に切り替える。つまり、4本単位でいずれか1本のワード線に接続されたメモリセルが存在すれば、それを含む4本のワード線が一括して冗長ワード線に切り替えられる。そして、最大16バンクのうち、いずれか1バンクに不良があれば、残り15個のバンクに対しても同時に冗長ワード線に切り替えられる。Y冗長は、冗長線数は16であり、セット数としては2セットを有する。そして、8ビット分が一括して冗長ビット線に切り替えられる。最大16バンクのうち、いずれか1バンクに不良があれば、残り15個のバンクに対しても同時に冗長ビット線に切り替えられる。

【0029】したがって、救済アドレス空間、つまり、冗長回路のXアドレスは、 $4096 \times 2048 = 8\text{M}$ ビットモジュールに対して、0～255からなるワード線と、0～63からなるビット線からなる冗長回路が設けられ、上記のように縮約された救済アドレス空間とされる。

【0030】図7には、前記図5のエラーチェック・救済判定回路の一実施例のブロック図が示されており、前記説明したような救済判定アルゴリズムの各機能毎に回路ブロックが分けられている。エラーチェック・救済判定回路は、大きく分けると判定器と、パス・フェイル検出器とフェイル・レジスタからなる。

【0031】上記パス・フェイル検出器は、データ、アドレスの比較を行うエラーチェック回路、フェイル・レジスタ内アドレスをエラーチェック対象から除外するフェイルマスク回路からなる。パス・フェイル検出器は、図8にその詳細なブロック図が示されている。本ブロックは、前記期待値とメモリ回路DRAMからの出力データの比較によるフェイル検出、及びフェイル・レジスタ内のデータとエラーの比較によるフェイルのマスク処理を行う。

【0032】フェイルが検出された場合、フェイルを格納するために後述するテストマシンの出力に従い選択的にフェイル・レジスタへの書き込みを行う。つまり、

エラー・チェック回路によりフェイルが検出されると、フェイル・マスク回路を介し、その不良を救済するのに前記救済パターンに対応して使用する冗長回路を選択して上記フェイル・レジスタを選択する。この選択されたフェイル・レジスタには上記エラー・チェック回路を介してメモリアクセスアドレス(不良アドレス)がフェイル・データとして出力される。

【0033】フェイル・マスク回路は、フェイル・レジスタ出力と判定器出力を受け、検出されたフェイル結果が、その時の救済パターンに対応した判定器出力に従いフェイル・レジスタ出力を選択し、かかるフェイル・レジスタに対応した冗長回路での救済が可能ならエラー・チェック回路からのエラー検出出力をマスクして、上記のようなフェイル・レジスタ制御、判定器制御の出力信号を停止させる。上記フェイル・レジスタに格納された判定結果と救済データとは、テスト動作が終了した時点で前記MBIST/JTAGインターフェイス回路及び入出力回路JTAGを介して半導体集積回路装置の外部に出力され、その不良救済に用いられる。

【0034】図9には、上記フェイル・レジスタ部のブロック図が示されている。フェイル・レジスタ部には、冗長回路に対応した複数のフェイルレジスタが設けられる。これらのフェイルレジスタは、フェイル・レジスタ制御信号により選択され、選択されたフェイルレジスタにフェイル・データが書き込まれる。また、上記選択されたフェイル・レジスタの記憶情報は、フェイル・レジスタ出力として前記フェイル・マスク回路に供給される。また、記憶情報に含まれる判定結果フラグと、救済データ(不良アドレス)とは外部へ出力される。この救済データを用いてレーザー切断装置等による欠陥救済が実施される。

【0035】上記フェイルレジスタに格納される救済データの構成は、特に制限されないが、0～32の33ビットから構成される。このうち、0～5の6ビットは、ロウ(X系)冗長線アドレス1を示し、6～11の6ビットは、ロウ(X系)冗長線アドレス2を示す。12～19の8ビットは、カラム(Y系)冗長線アドレス1を示し、20～27の8ビットは、カラム(Y系)冗長線アドレス2を示す。そして、28～31の4ビットは、有効冗長線を示すフラグであり、上記4つの冗長線のアドレスが有効であるか否かを示す。そして、33ビット目の1ビット(32)は、救済の可否を示すフラグとして用いられる。

【0036】図10には、図7の判定器の一実施例のブロック図が示されている。この実施例の救済判定アルゴリズムは、判定器に構成されているステートマシンにより各状態を生成する。判定器は、2種類のステートマシン1、2と、1つのエラー・カウンタで構成されている。上記ステートマシン1は救済判定、ステートマシン2は救済パターンを生成する機能を有する。エラー・カ

ンウタは救済判定不可能なフェイルパターンを判定し、救済判定テストを終了させる機能を持つ。

【0037】図11には、上記判定器の一部の動作を説明するための状態遷移図が示されている。同図には、上記ステートマシン1に対応した状態遷移図である。このステートマシン1は、同図に○で示した10個の状態を持つ。スキャンパターンセット状態(lni)は、前記図2に示したような6通りの救済パターンのうちの1つを設定するものであり、かかる救済パターンに対応して最初に使用される冗長回路X1又はY1を用いた救済判定が行われる。スキャンの途中で不良が発生する毎に冗長回路が上記救済パターンの使用順序により切り替えられる。

【0038】4つの冗長回路を全て使用するとファイナル状態(final)となる。このファイナル状態は、残り冗長線無しを意味するものである。ファイナル状態からキャンセル状態(cancel)に移行し、前記設定された救済パターンをキャンセルする。そして、チェンジ状態(change)1に移行して救済パターンの変更を行った後にリスタート状態(restart)により、前記変更された救済パターンを用いてスキャンが再開するように図5のシーケンスに指示し、前記同様なスキャンと救済判定が行われる。冗長回路を残して全スキャンが終了すると、チェンジ状態(change)2に移行する。チェンジ状態2は、救済可能を意味するものであり、ステートマシン2をグッド状態(good)へ移行するように指示する。

【0039】図12には、上記判定器の動作の残りを説明するための状態遷移図が示されている。同図(A)は、ステートマシン2に対応し、(B)はエラー・カウンタに対応し、(C)はエラー・カウンタの各状態を表している。

【0040】図12(A)において、このステートマシン2は、同図に○で示した9個の状態を持つ。パターン(pat)0ないし5は、前記のような冗長回路の使用順序を決めるものであり、例えばパターン0はY1→Y2→X1→X2であり、パターン1はX1→X2→Y1→Y2であり、パターン2はX1→Y1→X2→Y2であり、パターン3はX1→Y1→Y2→X2であり、パターン4はY1→X1→Y2→X2であり、パターン5はY1→X1→X2→Y2である。救済パターンはステートマシン1のチェンジ状態1により移行するように指示され、上記6通りの救済パターンが終了してもフェイルが検出されると、前記図1のステップ(9)の不良品判定に対応したフェイル(fail)状態となり、救済不可能を出力する。いずれかの救済パターンにおいて、スキャンが終了する前記図1のステップ(10)の良品判定に対応したグッド(good)状態となり、救済可能を出力する。

【0041】図12(B)において、エラー・カウンタの各状態は、4つの状態からなり、同図(C)に示した

ようにエラー(error)0は、救済不可能に成り得るエラーが0個であること、エラー(error)1は、救済不可能に成り得るエラーが1個であること、エラー(error)2は、救済不可能に成り得るエラーが2個であること、及びエラー(error)3は、救済不可能であることをそれぞれを指示する。エラー3の状態は、ステートマシン2をフェイル(fail)状態へ移行するよう指示する機能を持つ。

【0042】テストモード時にDRAMモジュールは、1度のアクセスで8ビットのデータ的一致・不一致検出を行うものである。判定項目は、一度の一致・不一致検出で検出されたフェイルビット数によって分類可能である。この実施例のDRAMモジュールでは、カラム(Y)系の冗長回路(冗長線)数が2セットであるため、フェイルビット数が3個以上のフェイルは救済不可能に成り得るエラーとしてエラーカウンタへ指示され、3回検出すると救済不可能なフェイルパターンとしてステートマシン2を前記図1のステップ(9)の不良品判定に対応したフェイル(fail)状態へ移行するよう指示する。

【0043】図13には、この発明に係る半導体集積回路装置の他の一実施例の概略ブロック図が示されている。この実施例では、救済判定回路をメモリ回路内に搭載するものである。メモリ回路内に救済判定回路と電気ヒューズ回路で自己救済回路を構成する。この実施例では、救済判定テスト終了後、救済データをPROM(プログラマブルROM)書き込み用電源印加により書き込む。半導体集積回路装置の起動時にPROMデータは、スイッチマトリックスを制御し、メモリ外部アドレスを内部アドレスに変換して救済を図るものである。この実施例は、上記救済判定回路とPROMで構成したアンチヒューズ回路を組み合わせることで実現する。自己救済回路は、欠陥救済装置無しで欠陥救済可能なためにメモリテスト工程を大幅に改善することができる。

【0044】図14には、この発明に係る半導体集積回路装置の一実施例の全体ブロック図が示されている。この実施例の半導体集積回路装置は、デジタル信号処理を行うロジック部と、アナログ信号処理を行うアナログ部、及び上記デジタル信号処理に用いられるメモリ回路RAMからなる半導体集積回路装置において、そのテスト回路として次の各回路が付加される。

【0045】メモリテスト回路mBISTは、前記のように上記メモリ回路RAMのテストを行う。上記ロジック部のテストのために、ロジックテスト回路BIST及び上記ロジック部のフリップフロップに対してテスト信号の入力と、かかるフリップフロップの状態を出力させるバウンダ・スキャン・セル部が設けられる。これらの内線テスト回路に対して外部端子からテスト信号の入力と判定出力等の入出力を行うテスト用入出力回路JTAGが設けられる。

【0046】上記テスト用入出力回路は、全部で5個の外部端子を持つ。TDOはテストデータ出力用端子であり、TDIはテストデータ入力用端子であり、TMSはテストモード設定用端子であり、TRSTNはテスト回路のリセットを指示する端子であり、TCKは上記各信号の入力又は出力に用いられるテストクロック端子である。上記テスト用入出力回路JTAGは、上記のように5個と少ない端子を介して、上記クロック信号TCKに同期して内蔵のテスト回路の動作に必要なテスト入力信号及びテスト結果等の出力信号をシリアルに入力又は出力させるものである。

【0047】前記図1に示される救済判定のフローチャートは、従来のメモリテスト内のプログラムとして搭載しても有益なものである。このようにメモリテスト内のプログラムとして搭載した場合、前記実施例のように半導体集積回路内にはテスト回路は不要である。上記メモリテストにより、テスト対象のメモリ回路をスキャンし、データと期待値の一致／不一致判定を行う。この構成では、前記実施例のようにテスト回路内蔵時と同等の高速テストは行えないが、メモリテストにおいてフェイルメモリが不要となり、テスト装置の規模を大幅に小さくすることができるという利点が生じる。このため、簡易なテストシステムに上記図1に示された救済判定フローチャートを実現するプログラムを搭載することにより、半導体集積回路装置に形成されるメモリ回路のテストが可能になるものである。

【0048】上記の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) 論理回路と、X系とY系からなる複数の冗長回路を含むメモリ回路を備えてなる半導体集積回路装置に内蔵されるテスト回路として、エラー判定出力に対応した不良がレジスタに記憶された不良アドレスに対応した冗長回路の使用によって救済可能なら、かかるエラー判定出力を無視し、上記レジスタに不良アドレスが存在しないかあるいは上記エラー判定出力に対応した不良が上記レジスタに記憶された不良アドレスに対応した冗長回路では救済不可能なら、かかるエラー判定出力を出力するとともにエラー判定出力をステートマシン及びエラーカウンタで判定し、X系とY系からなる複数からなる冗長回路の使用順序に従ってテスト信号を発生させ、上記ステートマシン及びエラーカウンタの状態出力が上記冗長回路の数以下のときにはかかる判定結果を出力させてテスト動作を終了させ、上記状態出力が上記冗長回路の数を越えたときに上記レジスタ及びエラーカウンタをリセットして上記使用順序の組み合わせを変更して再度上記テスト信号の出力とそのエラー計数出力の上記判定を行い、上記X系とY系のからなる複数からなる冗長回路の最後の使用順序の組み合わせにおいても上記状態出力が上記冗長回路の数を越えたときには救済不能の不良出力を出力させることにより、フェイル・メモリを用いる

ことなく簡単な構成で冗長回路による不良救済を行いつつメモリ回路のテスト動作を実現することができるという効果が得られる。

【0049】(2) 上記メモリ回路を複数のメモリバンクに対応した複数のメモリ回路により構成し、上記メモリテスト回路により上記複数のメモリバンクに対して同時に並列的にテスト信号を供給し、上記判定回路を個々のメモリバンクに対応して一対一に対応して設けることにより、テスト時間の短縮化あるは効率化を図ることができるという効果が得られる。

【0050】(3) 上記メモリテスト回路に対するテストパターンとその期待値の入力動作及び上記救済不能の不良出力を含む判定出力動作とをシリアルに行うインターフェイス回路を更に設けることにより、少ない端子数でテスト動作を行わせることができるという効果が得られる。

【0051】以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、搭載した冗長回路を用い、かかる冗長回路の使用によって検出されたフェイルが救済可能か否かの判定のための動作シーケンスは、種々の実施形態を探ることができるものである。メモリ回路は、上記のようなダイナミック型メモリセルを用いるものの他、スタティック型メモリセルを用いる構成とするものであってもよし、あるいは不揮発性メモリ等のセルを用いるものであってもよい。この発明は、メモリ回路を内蔵した半導体集積回路装置に広く利用できる。

【0052】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、論理回路と、X系とY系からなる複数の冗長回路を含むメモリ回路を備えてなる半導体集積回路装置に内蔵されるテスト回路として、エラー判定出力に対応した不良がレジスタに記憶された不良アドレスに対応した冗長回路の使用によって救済可能なら、かかるエラー判定出力を無視し、上記レジスタに不良アドレスが存在しないかあるいは上記エラー判定出力に対応した不良が上記レジスタに記憶された不良アドレスに対応した冗長回路では救済不可能なら、かかるエラー判定出力を出力するとともにエラー判定出力をステートマシン及びエラーカウンタで判定し、X系とY系からなる複数からなる冗長回路の使用順序に従ってテスト信号を発生させ、上記ステートマシン及びエラーカウンタの状態出力が上記冗長回路の数以下のときにはかかる判定結果を出力させてテスト動作を終了させ、上記状態出力が上記冗長回路の数を越えたときに上記レジスタ及びエラーカウンタをリセットして上記使用順序の組み合わせを変更して再度上記テスト信号の出力とそのエラー計

数出力の上記判定を行い、上記X系とY系のからなる複数からなる冗長回路の最後の使用順序の組み合わせにおいても上記状態出力が上記冗長回路の数を越えたときには救済不能の不良出力を出力させることにより、フェイル・メモリを用いることなく簡単な構成で冗長回路による不良救済を行いつつメモリ回路のテスト動作を実現することができる。

【図面の簡単な説明】

【図1】この発明に係る半導体集積回路装置における内蔵のメモリ回路のテスト方法を説明するための基本的なフローチャート図である。

【図2】図1の内蔵のメモリ回路のテスト方法の説明図である。

【図3】図1の内蔵のメモリ回路のテスト方法の1つの救済パターンの説明図である。

【図4】図1の内蔵のメモリ回路のテスト方法の他の救済パターンの説明図である。

【図5】この発明に係る半導体集積回路装置に搭載されるメモリテスト回路の一実施例を示すブロック図である。

【図6】この発明に係る半導体集積回路装置に搭載され

るメモリ回路の一実施例を示す構成図である。

【図7】前記図5のエラーチェック・救済判定回路の一実施例を示すブロック図である。

【図8】図7のパス・フェイル検出器の一実施例を示す詳細ブロック図である。

【図9】図7のフェイル・レジスタの一実施例を示す詳細ブロック図である。

【図10】図7の判定器の一実施例を示す詳細ブロック図である。

【図11】図10の判定器の一部の動作を説明するための状態遷移図である。

【図12】図10の判定器の残りの動作を説明するための状態遷移図である。

【図13】この発明に係る半導体集積回路装置の他の一実施例を示す概略ブロック図である。

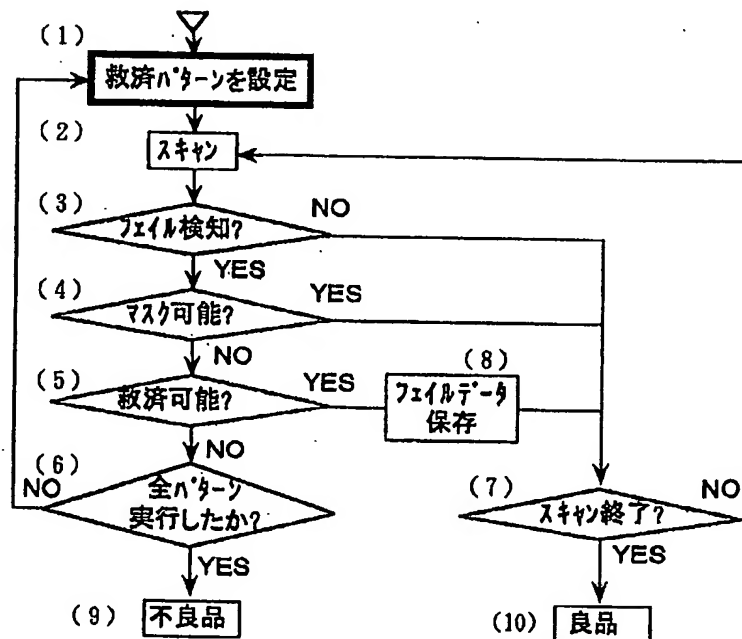
【図14】この発明に係る半導体集積回路装置の一実施例を示す全体ブロック図である。

【符号の説明】

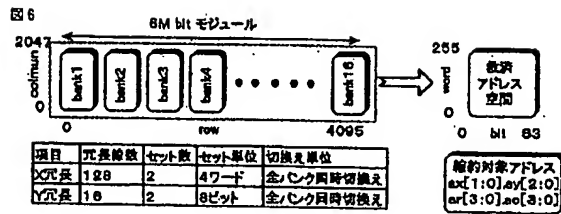
X1, X2...X系冗長回路、Y1, Y2...Y系冗長回路、mBIST...内蔵メモリテスト回路、RAM...メモリ回路、JTAG...テスト用入出力回路。

【図1】

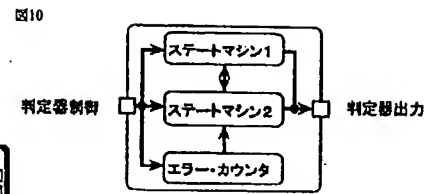
図1



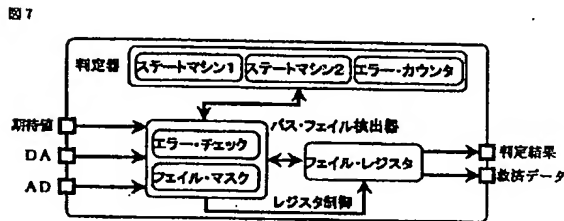
【図6】



【図10】

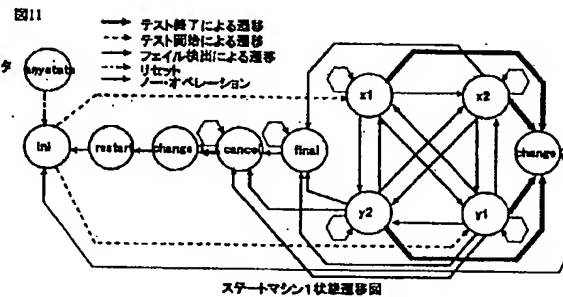
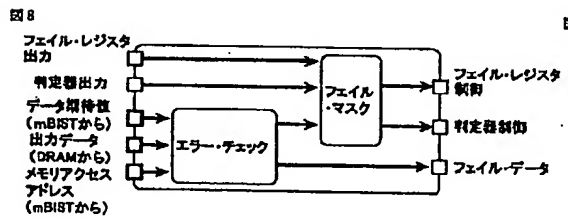


【図7】



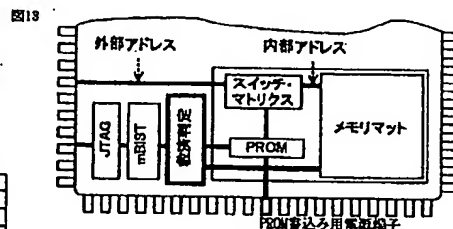
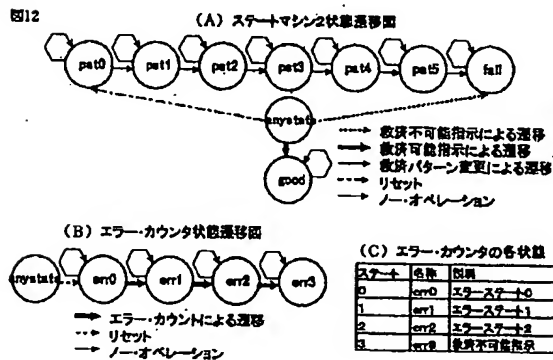
【図8】

【図11】



【図12】

【図13】



フロントページの続き

Fターム(参考) 5F038 DF05 DF14 DT04 DT06 DT07
DT08 DT10 DT14 EZ20
5F064 BB14 BB31 DD39 FF02 FF13
FF14 FF15 FF36 FF52 HH10
5L106 AA01 CC04 CC09 CC12 CC17
CC21 CC32 DD03 DD22 DD24
DD25 DD33 GG07

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.